

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-057969

(43)Date of publication of application : 10.05.1979

(51)Int.Cl.

H01L 29/80

H01L 29/06

(21)Application number : 52-124825

(71)Applicant : SONY CORP

(22)Date of filing : 18.10.1977

(72)Inventor : WATANABE SEIICHI

(54) ELECTRIC FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To produce a FET superior in high-frequency characteristic by providing an intrinsic or high-resistance semiconductor layer between a N-type channel and a P-type gate and depleting all channel layers in case of zero voltage across the gate and the source.

CONSTITUTION: Intrinsic or high-resistance N- epi-layer 21 is provided on P++ layer 20, and ions are implanted by using an oxide mask having thin film part 22a to form selectively P+ layer 23. Separately, an aperture is provided in film 22 to diffuse N+ layer 24. After that, large aperture 22c is provided to diffuse selectively N+ layer 24, and one side of diffusion is linked with layer 24. Next, mask 22 is removed, and layer 26 similar to layer 21 is formed epitaxially and is covered with oxide film 27. Apertures are selectively provided in film 27 to provide N+ layers 28 and 29 and P+ layer 30 which reach the edge of layers 24 and 25, and electrode SDG is formed respectively. By this constitution, the figure of merit of a Schottky barrier gate-type FET is enhanced to make the high-frequency characteristic good

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A)

昭54—57969

⑪Int. Cl.²
H 01 L 29/80
H 01 L 29/06

識別記号 ⑫日本分類
99(5) E 3

庁内整理番号 ⑬公開 昭和54年(1979)5月10日
6603—5F
7514—5F

発明の数 1
審査請求 未請求

(全 5 頁)

⑭電界効果トランジスタ

町田市つくし野3の2の10

⑮特 願 昭52—124825

⑯出 願 人 ソニー株式会社

⑰出 願 昭52(1977)10月18日

東京都品川区北品川6丁目7番
35号

⑱発 明 者 渡辺誠一

⑲代 理 人 弁理士 伊藤貞

明 細 書

発明の名称 電界効果トランジスタ

特許請求の範囲

第1導電型のチャネルと、第2導電型のゲート又はショットキー障壁ゲートと、上記チャネルと上記ゲートとの間に介在する真性又は高抵抗半導体層とを具備し、ゲート・ソース間電圧が零の時で上記半導体層が殆んど全チャネル長に渡つて空乏化されるようにした電界効果トランジスタ。

発明の詳細な説明

本発明は電界効果トランジスタに係わる。

電界効果トランジスタの高周波特性の良否を示すフィギュア・オブ・メリットは gm/Cg (但し、 gm :相互コンダクタンス、 Cg :入力容量)で与えられるが、通常の接合ゲート型、或いはショットキー障壁ゲート型の電界効果トランジスタは、このフィギュア・オブ・メリットが比較的小さく高周波特性が十分良好でないという欠点がある。

本発明は、高いフィギュア・オブ・メリットを

有し、高周波特性にすぐれた接合ゲート型、或いはショットキー障壁ゲート型電界効果トランジスタを提供せんとするものである。

先ず、本発明の特徴の理解を容易にするために、前述した従来の接合ゲート型電界効果トランジスタの原理的構造を第1図を参照して説明すると、この場合、第1導電型、例えばN型のソース(1)と、ドレイン(2)と、チャネル(3)とが構成され、チャネル(3)を規定すべく、例えばチャネル(3)を挟んでその上下両側に第2導電型、例えばP型のゲート領域(4)が設けられて成る。

本発明においては、その原理的構造を第2図に示すように、第1導電型例えばN型のチャネル(1)を規定するように、チャネル(1)を挟んで上下両側に真性又は高抵抗半導体層(2)を介して第2導電型、例えばP型のゲート(3)が設けられ、チャネル(1)の両端に、これと同導電型のソース(4)と、ドレイン(5)が設けられ、これらソース(4)及びドレイン(5)とゲート(3)よりソース端子S、ドレイン端子D、ゲート端子Gが導出される。

半導体層12はゲートG及びソースS間の印加電圧が零の状態、即ち、ゲート13の接触電位によつて、そのほぼ全チャンネル長Lに亘つてチャンネル11に至る空乏層がゲート接合14（半導体層12とゲート13との間の接合）から広がるような濃度に選定される。また、チャンネル11の不純物濃度は、第1図に説明した従来構造のものに比し、格段的に大に選定される。

次に、このような原理的構造による本発明の電界効果トランジスタの特性を、第1図に説明した従来構造のものと比較するに、第2図において、チャンネル11の厚さ方向の中心からゲート接合14までの距離をaとし、チャンネル11の厚さ方向の中心から半導体層12までの距離、即ちチャンネル11の半分の厚さをbとし、 $a \gg b$ とする。そしてチャンネル長をLとし、チャンネル11の第2図において紙面と直交する方向のチャンネル幅を W_1 とし、チャンネル11の不純物濃度を N_1 とする。一方、第1図に示した従来構造において、チャンネル13の厚さの半分の厚さをbとし、チャンネル長をL

とし、 ω_{T1} は、

$$\omega_{T1} = \frac{gm_1}{Cg_1} = \frac{3q\mu N_1 b a}{2\epsilon L^2} \quad \dots\dots (6)$$

となる。

一方、第1図の従来構造のものは、ピンチオフ電圧 V_{p0} は、

$$V_{p0} = \frac{q N_0 b^2}{2\epsilon} \quad \dots\dots (7)$$

で与えられ、チャンネルの厚さ方向の最大電界 E_{max_0} は、

$$E_{max_0} = \frac{q N_0 b}{\epsilon} \quad \dots\dots (8)$$

で与えられ、最大相互コンダクタンス gm_0 は、

$$gm_0 = \frac{2q\mu N_0 b W_0}{L} \quad \dots\dots (9)$$

で与えられ、等価入力容量 Cg_0 は、

$$Cg_0 = \frac{6\epsilon L W_0}{b} \quad \dots\dots (10)$$

で与えられ、遮断周波数 ω_0 は、

$$\omega_0 = \frac{35 q \mu N_0 b^2}{27 \epsilon L^2} \quad \dots\dots (11)$$

特開昭54-57969(2)

とし、チャンネル幅を W_0 とし、チャンネル濃度を N_0 とする。そして、各チャンネルの移動度を μ 、印加電界を ϵ とする。この場合、本発明構造によるもののピンチオフ電圧 V_{p1} は、

$$V_{p1} = \frac{q N_1 b a}{\epsilon} \quad \dots\dots (1)$$

で与えられ、チャンネルの厚さ方向の最大電界 E_{max_1} は、

$$E_{max_1} = \frac{q N_1 b}{\epsilon} \quad \dots\dots (2)$$

で与えられ、最大相互コンダクタンス gm_1 は、

$$gm_1 = \frac{2q\mu N_1 b W_1}{L} \quad \dots\dots (3)$$

で与えられ、等価入力容量 Cg_1 は、

$$Cg_1 = \frac{4\epsilon L W_1}{3a} \quad \dots\dots (4)$$

で与えられ、遮断周波数 ω_1 は、

$$\omega_1 = \frac{3q\mu N_1 b a}{4\epsilon L} \quad \dots\dots (5)$$

で与えられ、そして、フィギュア・オブ・メリツ

で与えられる。そして、フィギュア・オブ・メリツト ω_{T0} は、

$$\omega_{T0} = \frac{gm_0}{Cg_0} = \frac{q\mu N_0 b^2}{2\epsilon L^2} \quad \dots\dots (12)$$

となる。

今、第2図の本発明による電界効果トランジスタと第1図の従来の電界効果トランジスタにおいて、 $a = \frac{b}{2}$ 、 $N_1 b = N_0 b$ 、 $W_0 = W_1$ に選定して、両者のピンチオフ電圧 V_{p1} と V_{p0} が等しいとすると、本発明のものは従来のものの等価入力容量が $\frac{4}{9}$ 倍となりフィギュア・オブ・メリツトは $\frac{9}{4}$ 倍となるので高周波特性が可成り改善されることになる。

次に本発明の一実施例を説明するに、その理解を容易にするために第3図ないし第11図を参照して詳細に説明するに、この例においては、先ず第3図に示すように、P型の十分高い不純物濃度を有する例えばシリコン半導体基体10を設け、これの上に十分低い不純物濃度の真性若しくは高抵抗を有する例えばN型のシリコン半導体層12をエ

ビタキシャル成長する。

次いで第4図に示すように、半導体層20の表面に SiO_2 等の不純物拡散及びイオン注入の拡散マスクとなり得るマスク層22を形成する。このマスク層22には最終的にチャンネルを形成すべき部分に対応する部分に、例えばフォトリソグラフィによつて窓開けを行ない再びこの窓内に他部に比し薄い酸化膜マスク層(22a)を形成した構造となす。

そして、第5図に示すように、マスク層22の薄いマスク層(22a)を通じて選択的に半導体層20の基体20と接する一部にイオン注入によつてP型の不純物をドーピングし埋込み領域22を選択的に形成する。

次に、第6図に示すように、マスク層22に対してフォトリソグラフィによつてイオン注入窓として用いたマスク層(22a)の一端に拡散窓(22b)を穿設する。

第7図に示すように、この窓(22b)を通じて基体20と同導電型を有するN型の不純物を高濃度に選択的に拡散し領域24を形成する。

て領域24を形成する。

そして、領域24、26及び28上に夫々ソース電極20、ドレイン電極22及びゲート電極24をオーミックに被覆し、ソース端子S、ドレイン端子D及びゲート端子Gを導出する。このようにすれば、第2図に説明した原理の構造に対応する構造を有する本発明による電界効果トランジスタが構成される。即ち、第11図において第2図と対応する部分には同一符号を付して示すように、領域24によつてチャンネル20が構成され、その上下両側には高抵抗若しくは真性の半導体層26及び28を介して領域24と、埋込み領域26及び基体20とよりなる夫々上部ゲート及び下部ゲート28が形成され、チャンネル20即ち領域24の両端に、領域24及び28よりなるソース領域24と、領域28よりなるドレイン領域26とが形成された電界効果トランジスタが得られる。尚、この構成において、ソース領域24に領域24を設けたものにおいては、ソース側の濃度が十分高くなり、且つその厚みが大となることによつてソース側の寄生抵抗を減少させることができ

特開昭54-57969(3)

更に、第8図に示すように、マスク層22の領域24上を含んで埋込み領域24上と、更にこれの上の領域とは反対側の部分上を含んで拡散窓(22c)を穿設する。

第9図に示すように、窓(22c)を通じて選択的に基体20とは異なる導電型のN型の不純物を選択的に拡散して領域24と一側が異なる領域26を形成する。

次に、第10図に示すように、マスク層22を除去し半導体層20と同様の十分低い不純物濃度の真性若しくは高抵抗の半導体層20をエピタキシャル成長し、これの上に拡散マスク層22例えば SiO_2 層を形成する。

第11図に示すように、マスク層22に選択的に拡散窓を穿設して領域24上と、領域26の領域24と対向する側とは反対側の最上とに、夫々領域24及び28と同導電型の高濃度領域26及び28を選択的に形成する。又、マスク層22の埋込み領域26と対向する部分上に拡散窓を穿設し、この窓を通じて埋込み領域26と同導電型のP型の不純物を拡散し

るものである。

又、上述した例においては、埋込み領域26をイオン注入によつて形成した場合であるが、ある場合は、半導体層20のエピタキシャルに先立つて基体20に選択的にP型の不純物を高濃度をもつて拡散しておくことによつて形成することもできるし、半導体層20のエピタキシャル層を2層に形成し下層のエピタキシャル層に選択的に拡散若しくはイオン注入等によつてP型の不純物を選択的にドーピングすることによつて形成するなど種々の変更を採り得ることは明らかであろう。

第12図は、本発明による電界効果トランジスタの他の例を示すもので、この場合においては、高抵抗若しくは真性の半導体基体20上にチャンネル領域20を形成する半導体層20をエピタキシャル成長し、これの上に高抵抗若しくは真性半導体層22を形成する半導体層22をエピタキシャル成長し、この半導体層22に選択的にN型の高濃度のソース領域24及びドレイン領域26となる拡散領域24及び26を形成し、両領域24(14)及び26(15)間の半

導体層42上に選択的にP型の不純物を拡散してゲート領域43となる拡散層44を形成した場合である。

又、上述した各例においては、ゲートがチャンネル領域と異なる領域の例えば拡散領域によつて形成した所謂接合型ゲートの構成を採つた場合であるが、これらゲートをショットキーゲートによつて形成することもできる。第13図は、このショットキーゲート型構成とした場合の一例で第12図に対応する構造となしたもので、第12図と対応する部分には同一符号を付して重複説明を省略する。

尚、上述した例においては半導体がシリコンよりなる場合について説明したが他の半導体材料、例えばガリウム-砒素等の金属間化合物半導体による電界効果トランジスタに本発明を適用して同様に、より高い高周波特性の改善を図ることができる。

尚、上述した例は、Nチャンネル型の電界効果トランジスタに本発明を適用した場合であるが、Pチャンネル型構成となすこともできることは明

らかであろう。

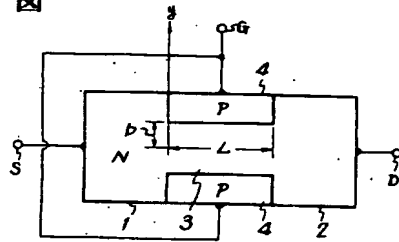
図面の簡単な説明

第1図は従来の電界効果トランジスタの原理的構造を示す断面図、第2図は本発明による電界効果トランジスタの原理的構造を示す拡大断面図、第3図ないし第11図は本発明による電界効果トランジスタの一実施例の各製造工程図、第12図及び第13図は夫々本発明による電界効果トランジスタの他の例の拡大断面図である。

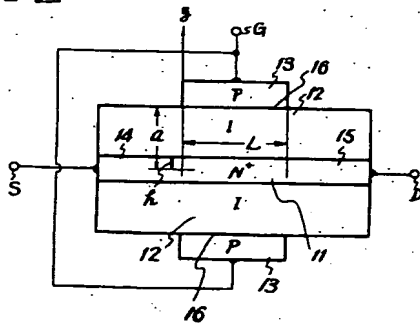
01はチャンネル、02は高抵抗若しくは真性半導体、03はゲート、04はソース、05はドレインである。

代理人 伊 藤 貞

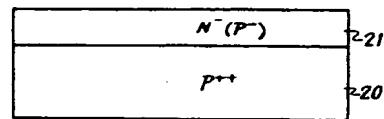
第1図



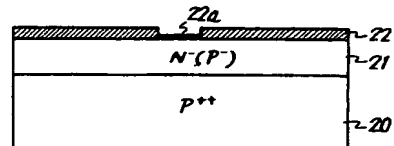
第2図



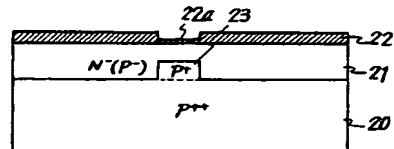
第3図



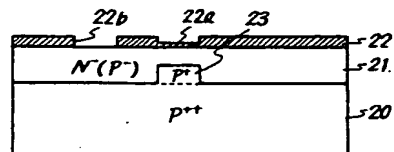
第4図



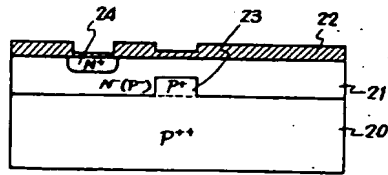
第5図



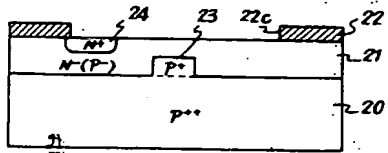
第6図



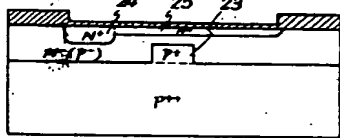
第 7 図



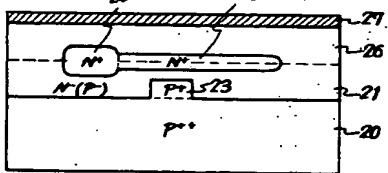
第 8 図



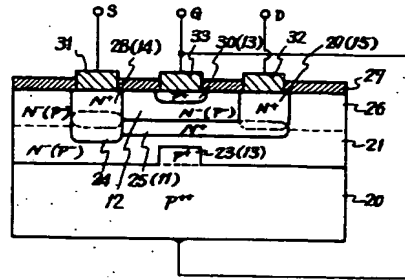
第 9 図



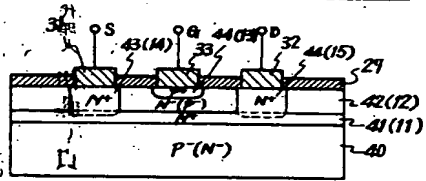
第10図



第11図



第12図



第13図

